

⑫ 公開特許公報(A) 平1-241177

⑤ Int. Cl.⁴
H 01 L 29/78識別記号
371
庁内整理番号
7514-5F

④ 公開 平成1年(1989)9月26日

審査請求 有 請求項の数 5 (全11頁)

⑥ 発明の名称 不揮発性半導体記憶装置及びその製造方法

② 特 願 昭63-68383

② 出 願 昭63(1988)3月23日

⑦ 発 明 者 佐 藤 正 毅 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合
研究所内

⑧ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑨ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

不揮発性半導体記憶装置及びその製造方法

2. 特許請求の範囲

(1) 半導体基板上に第1の絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極上の少なくとも一部を含み第2の絶縁膜を介して形成された第2のゲート電極とを有する不揮発性半導体記憶装置において、前記第1のゲート電極のエッジ部分にラウンドを付けたことを特徴とする不揮発性半導体記憶装置。

(2) 半導体基板上に第1の絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極上の少なくとも一部を含み第2の絶縁膜を介して形成された第2のゲート電極と、前記第2のゲート電極上の少なくとも一部を含み第3の絶縁膜を介して形成された第3のゲート電極とを有する不揮発性半導体記憶装置において、前記第1のゲート電極及び第2のゲート電極のエッジ部分にラウンドを付けたことを特徴とする不揮発性半

導体記憶装置。

(3) 半導体基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第1の導電体層を形成する工程と、前記第1の導電体層及び第1の絶縁膜を選択的にエッチングして第1の導電体層パターンを形成する工程と、前記第1の導電体層パターンのエッジ部分にラウンドを付ける工程と、全面に第2の絶縁膜を形成する工程と、前記第2の絶縁膜上に第2の導電体層を形成する工程と、前記第2の導電体層及び第2の絶縁膜を前記第1の導電体層パターン上の少なくとも一部を含んで残存するように選択的にエッチングして第2の導電体層パターンを形成する工程とを具備することを特徴とする不揮発性半導体記憶装置の製造方法。

(4) 上記第2の導電体層パターンを形成した後、前記第2の導電体層パターンのエッジ部分にラウンドを付ける工程と、全面に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上に第3の導電体層を形成する工程と、前記第3の導電体層

及び第3の絶縁膜を前記第2の導電体層パターン上の少なくとも一部を含んで残存するように選択的にエッチングして第3の導電体層パターンを形成する工程とをさらに具備することを特徴とする請求項3記載の不揮発性半導体記憶装置の製造方法。

(5) 上記エッジ部分にラウンドを付ける工程は、プラズマエッチング法により行なうことを特徴とする請求項3又は4記載の不揮発性半導体記憶装置の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明はE² PROMやE² PROMなどの不揮発性半導体記憶装置及びその製造方法に関する。

(従来の技術)

従来、フローティングゲートにチャージ(電荷)を蓄積させることにより情報を不揮発的に記憶させるメモリ装置としては、たとえば、第6図(a)、(b)に示すようなE² PROMがある。

ソース領域に接続されるV_{ss}線、ドレイン領域に接続されるビット線(digit line)が形成されている。ところで、このようなメモリ装置の特徴は、前記三層多結晶シリコン構造を用いることにより電氣的に情報の書き込みと消去が可能となることである。書き込みはコントロールゲート65とビット線に高電位を与えることによりソース、ドレイン領域間に飽和チャネル電流を流し、前記ドレイン付近の高電界により発生するホットエレクトロンをフローティングゲート63a、63bに注入することにより1ビットごとに実行する。また、消去は消去ゲート67が高電位となるように前記消去ゲート67とフローティングゲート63a、63b間に高電圧を印加することにより全ビットを一括して行なう。ところが、書き込み時にコントロールゲート65に高電位を、ビット線に0Vを印加している非選択セルにおいて、消去ゲート67からフローティングゲート63a、63bへ電子が注入されるモードが発生して誤書き込みモードのエラーを起こすことがある。これは、消去ゲート67上に形成される絶

(a) 図に示す装置についてはF. Nasuoka, et al., "A New Flash E² PROM Cell Using Triple Polysilicon Technology", in IEDM Tech. Dig., p. 464, 1984に記載されている。また、(b) 図に示す装置についてはD. Guterma, et al., "New Ultra-High Density Textured Poly-Si Floating Gate EEPROM Cell", in IEDM Tech. Dig., p. 826, 1986に記載されている。

まず、(a) 図に示すE² PROMは、単結晶シリコン基板61上にゲート絶縁膜(たとえばSiO₂膜)62a、62bを介して形成された電子を蓄積するためのフローティングゲート63a、63bと、前記フローティングゲート63a、63b上に絶縁膜64a、64bを介して形成された前記フローティングゲート63a、63bに電位を与えるためのコントロールゲート65と、前記フローティングゲート63a、63bから絶縁膜(たとえばSiO₂膜)66を介して電子を電氣的に抜き取るための消去ゲート67とを有する三層多結晶シリコン構造をしている。そして、図示しないがこの他にセルの

絶縁膜66の特性が悪いため、シリコン基板61上に形成された絶縁膜62a、62bにくらべて低電界でリーク電流が発生しやすいことが原因している。また、この問題を解決するために消去ゲート67上の絶縁膜66を厚く形成し、前記絶縁膜66に印加される電界を下げる方法が考えられるが、フローティングゲート63a、63bから消去ゲート67に電子を流し消去動作を行なう際に、より高電圧をフローティングゲート63a、63bと消去ゲート67間に印加する必要が生じて素子の設計上好ましくない。さらに、この種のメモリ装置は書き込みと消去を繰返し行なううちにフローティングゲート63a、63bと消去ゲート67間の絶縁膜66に電子がトラップされ、しだいに消去がしにくくなるという問題が発生してくる。これは、消去ゲート67のエッジ部付近の絶縁膜66で電界が局所的に高くなりやすく、そこでのトラップの発生率が大いことが一因と考えられている。また、前記絶縁膜66中にトラップされた電子は書き込みや読み出し動作を繰返し行なううちに、しだいに解放されて書き込

み消去特性は一度回復する方向に向かうが、さらに繰り返して行なうとまたトラップを発生し易くなり、やはりセルの信頼性の向上には好ましくないことがわかる。

次に、(b)図に示す E^2 PROMは、単結晶シリコン基板88上に第1の絶縁膜89を介して第1の多結晶シリコンゲート電極70が形成され、前記第1の多結晶シリコンゲート電極70上の一部を含み第2の絶縁膜71を介して第2の多結晶シリコンゲート電極72が形成され、前記第2の多結晶シリコンゲート電極72上の一部を含み第3の絶縁膜73を介して第3の多結晶シリコンゲート電極74が形成された三層多結晶シリコン構造をしている。なお、75、76はそれぞれソース、ドレイン領域としての拡散層領域である。

このようなメモリ装置においても、前記三層多結晶シリコン構造を用いることによって、電気的に情報の書き込みと消去が可能となるが、前記第1の多結晶シリコンゲート電極70のエッジ部付近の第2の絶縁膜71においてトラップを発生し易

くなっている。さらに、前記第2の多結晶シリコンゲート電極72のエッジ部付近の第3の絶縁膜73においてもトラップを発生し易くなっている。

ところで、上述したエッジ部付近での電子のトラップはEPRMにおいても問題となる。これは、フローティングゲートの表面に形成する絶縁膜の膜質が特に前記フローティングゲートのエッジ部分で悪くなることに起因する。すなわち、書き込み時においてコントロールゲートに書き込み用電圧 V_{pp} が印加されると、前記フローティングゲートとコントロールゲート間の絶縁膜にチャージが流出し易くなるとともに、前記フローティングゲートのエッジ部付近の高電界のために電子が前記絶縁膜中にトラップされることによる。このトラップされた電子は読み出し動作を長時間繰返すうちに比較的容易にフローティングゲート中へ逆流し、セルの特性を変化させる。この現象は200℃(一度書き込んだセルから再び情報を消去した後は250℃)にセルを放置した時の電荷保持(charge retention)特性を評価すること

より理解できる。すなわち、UV(紫外)光により消去状態にしたセルのフローティングゲート内には、通常ならばチャージの中性条件が保たれているが、このようにトラップされた電子が存在するとチャージの中性条件は崩れておりマイナス側にシフトしている。したがって、このチャージがフローティングゲート内に移動すると消去が不完全になりセルのしきい値(V_{TH})は上昇する。そして、これは読み出し時においてセルに流れる電流を減少させ、アクセス時間を遅くさせる。たとえば、フローティングゲート内でのチャージの変動量を ΔQ 、フローティングゲートとコントロールゲート間のキャパシタンスを C とした時のセルのしきい値の変動量(ΔV_{TH})を表わす式「 $\Delta V_{TH} = \Delta Q / C$ 」より、前記しきい値の変動量が0.1[V]以上の時にセルのアクセス時間が許容限度をオーバーすると仮定し、前記キャパシタンスが 5×10^{-15} [F]であるとする、前記フローティングゲート内でのチャージの変動量 ΔQ は「 $\Delta Q \approx 5 \times 10^{-16}$ [C]」となり、

電子数にすると約3100個にすぎず、よって、きわめて微量の電子がトラップされているだけで特性変動を起こすことになる。

さらに、上述したような積層構造の多結晶シリコン電極を有するメモリ装置は、前記多結晶シリコン電極を形成するにあたり、順次多結晶シリコン膜や絶縁膜を異方性ドライエッチングによりエッチングする際、下層の多結晶シリコン膜パターンの側壁部が基板面に対して垂直であると、前記側壁部において前記多結晶シリコン膜や絶縁膜の残留物が発生し易い。この残留物はきわめて薄く構造的にもろいため、容易に剥がれてゴミとなりICの製造ラインにとって好ましくない。たとえば、これらの残留物がEPRMセルのまわりに付着した場合、イオン注入時のマスクとなり特性異常を発生させる。また、前記残留物が剥がれずに前記EPRMセルに残存すると、たとえイオン注入が正常に行なわれたとしても、この残留物にはドライエッチング時のカーボン等の汚染がそのまま取り込まれているため、結果として種々

の特性変動をもたらす。

(発明が解決しようとする課題)

このように、従来の不揮発性半導体記憶装置は情報の書き込みや消去を行なうにあたって、消去ゲート上に形成される絶縁膜の特性が悪いため、フローティングゲート内への電子の誤流出、誤流入が発生する。また、前記消去ゲートやフローティングゲートなどのエッジ付近の絶縁膜には、電界の集中に起因する電子のトラップが集中的に発生する。さらに、積層構造の多結晶シリコン電極を形成するにあたり、ICの製造ラインにおいて種々の残留物を作り出し、メモリセルの特性を悪化させるなどの欠点がある。

よって、本発明の目的はフローティングゲート内へ絶縁膜を介しての電子の誤流出や誤流入を防止し、また、前記絶縁膜中に発生する電子のトラップや種々の特性変動をもたらすメモリセル中の残留物を少なくできる高信頼性のメモリセルを有する不揮発性半導体記憶装置及びその製造方法を提供することである。

の製造方法は、半導体基板上に第1の絶縁膜を形成し、前記第1の絶縁膜上に第1の導電体層を形成する。そして、前記第1の導電体層及び第1の絶縁膜を部分的にエッチングして第1の導電体層パターンを形成し、前記第1の導電体層パターンのエッジ部分にラウンドを付ける。さらに、全面に第2の絶縁膜を形成し、前記第2の絶縁膜上に第2の導電体層を形成する。その後、前記第2の導電体層及び第2の絶縁膜を前記第1の導電体層パターン上の少なくとも一部を含み残存するように部分的にエッチングして第2の導電体層パターンを形成している。

また、前記第2の導電体層パターンを形成した後、前記第2の導電体層パターンのエッジ部分にラウンドを付ける。そして、全面に第3の絶縁膜を形成し、前記第3の絶縁膜上に第3の導電体層を形成し、前記第3の導電体層及び第3の絶縁膜を前記第2の導電体層パターン上の少なくとも一部を含み残存するように部分的にエッチングして第3の導電体層パターンを形成してもよい。

[発明の構成]

(課題を解決するための手段とその作用)

上記目的を達成するために、本発明の不揮発性半導体記憶装置は、半導体基板上に第1の絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極上の少なくとも一部を含み第2の絶縁膜を介して形成された第2のゲート電極とを有する不揮発性半導体記憶装置において、前記第1のゲート電極のエッジ部分にラウンドを付けている。

また、半導体基板上に第1の絶縁膜を介して形成された第1のゲート電極と、前記第1のゲート電極上の少なくとも一部を含み第2の絶縁膜を介して形成された第2のゲート電極と、前記第2のゲート電極上の少なくとも一部を含み第3の絶縁膜を介して形成された第3のゲート電極とを有する不揮発性半導体記憶装置において、前記第1のゲート電極及び第2のゲート電極のエッジ部分にラウンドを付けている。

そして、このような不揮発性半導体記憶装置

ところで、エッジ部分にラウンドを付ける方法はプラズマエッチング法が好ましい。

このような不揮発性半導体記憶装置及びその製造方法によれば、第1のゲート電極、さらに必要であれば第2のゲート電極のエッジ部分にラウンドを付けて、前記第1のゲート電極上、及び第2のゲート電極上の絶縁膜中における電界集中を緩和しているので、前記絶縁膜中での電子のトラップを防止することができる。また、前記ゲート電極のエッジ部分にラウンドを付けることは、積層構造のゲート電極を形成するにあたり、メモリセル中の残留物を低減することができるので、前記メモリセルの特性を悪化させることがない。さらに、消去ゲートをフローティングゲート上に形成すれば、前記フローティングゲート内への電子の誤流出や誤流入を緩和することができる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図～第3図は本発明の不揮発性半導体記

憶装置をE²PROMについて示したものである。第1図はE²PROMの断面図であり、第2図はE²PROMの製造方法を示す断面図であり、第3図はE²PROMの製造方法を示す平面図を表わしている。また、第3図(a)のA-A'断面が第2図(b)に対応し、第3図(b)のB-B'断面が第2図(d)に対応し、第3図(c)のC-C'断面が第2図(e)に対応している。

すなわち、本発明の不揮発性半導体記憶装置は第1図に示すように、p型シリコン基板11上に形成された素子分離領域12により分離された素子領域13a、13bに、ゲート絶縁膜(第1の絶縁膜)14a、14bを介してフローティングゲート(第1のゲート電極)15a、15bが形成されている。そして、このフローティングゲート15a、15bには、エッジ部分16a、16bにラウンドが付けられ、さらに前記フローティングゲート15a、15b上の一部を含んでSiO₂膜(第2の絶縁膜)17a、17bを介し消去ゲート(第2のゲート電極)18が形成されている。また、前記フローティングゲ-

ート15a、15b上には絶縁膜19、20、21を介してコントロールゲート22が形成されている。

次に、第2図を参照して本発明の不揮発性半導体記憶装置の製造方法について説明する。

まず、(a)図に示すように、たとえばp型シリコン基板21の表面に周知の技術により素子分離領域22を形成した後、この素子分離領域22で分離された前記シリコン基板21の素子領域23a、23bにゲート絶縁膜(第1の絶縁膜)24a、24bを形成する。なお、前記素子分離領域22は前記シリコン基板21に埋め込まれて平坦化されているのが好ましい。続いて、全面に第1の多結晶シリコン膜(第1の導電体層)25をLPCVD法により膜厚2500Å程度に堆積形成する。この後、850℃程度のPOCl₃を含んだ拡散雰囲気中で約60分間熱処理し、前記多結晶シリコン膜25中に不純物としてP(リン)をドーブする。この拡散工程における温度は、その後の前記多結晶シリコン膜25上に形成するSiO₂膜の良好なリーク特性を得る上で重要である。次に、(b)図に

示すように前記多結晶シリコン膜25上にフォトリソグラフィにより所望のレジストパターンを形成し、さらにRIEにより前記多結晶シリコン膜25を選択的に除去してフローティングゲート(第1の導電体層パターン)25a、25bを形成する。次に(c)図に示すようにCF₄とO₂の混合ガスをマイクロ波で励起し、プラズマを発生させ、前記シリコン基板21上をエッチング処理することにより、前記フローティングゲート25a、25bのエッジ部分26a、26bにラウンドを付ける。このエッチング処理は前記フローティングゲート25a、25bの全てに対して行なわれることになるので前記フローティングゲート25a、25bのエッチング量に注意する必要がある。これは、あまりにエッチングしすぎてフローティングゲート25a、25bの面積が小さくなると、後に形成するコントロールゲートと前記フローティングゲート25a、25b間の容量が小さくなり書き込み特性、読み出し特性を劣化させるからである。よって、最適のエッチング量(100Å~600Å)を得るための条

件としては、たとえばCF₄の流量を2SCCM(mℓ/min)、O₂の流量を50SCCM、圧力を2.5Pa、放電に使用する電力を600Wとすればよい。ところで、エッチング処理前のフローティングゲート25a、25bの表面には微細な凹凸が形成されていることはよく知られているが、このエッチング処理を行なうことにより表面が平坦化されるという利点も同時に得ることができる。次に(d)図に示すようにシリコン基板21全面を洗浄した後、前記フローティングゲート25a、25bの表面を酸化し、SiO₂膜(第2の絶縁膜)27a、27bを400Å程度形成する。この酸化工程は良質なSiO₂膜を形成するために970℃以上の炉中に行なうことが望ましい。続いて、シリコン基板21全面にLPCVD法により第2の多結晶シリコン膜(第2の導電体層)を2000Å程度堆積形成する。そして、前記多結晶シリコン膜に不純物としてP(リン)をドーブした後、フォトリソグラフィにより所望のレジストパターンを形成し、異方性ドライエッチング

技術により前記多結晶シリコン膜を選択的にエッチング除去し、消去ゲート（第2の導電体層パターン）28を形成する。この時、フローティングゲート25a, 25bの段差部にはテーパーが付いているので前記段差部側壁（第3図（b）において太線で示した）に前記第2の多結晶シリコン膜がエッチング途中で残存してしまう不良も同時に改善できる。さらに、前記エッチング工程でイオンが照射された SiO_2 膜を、たとえば CF_4 と H_2 の混合ガスをエッチャントとした異方性ドライエッチングにより除去し、その後、前記フォトリソグラフィ工程で使用したフォトレジストを完全に除去する。そして、シリコン基板21全面を洗浄した後、シリコン基板21の露出部、フローティングゲート25a, 25bの露出部、及び消去ゲート28上を1000℃程度の N_2 及び20%の希釈 O_2 雰囲気中において熱酸化し、300Å程度の SiO_2 膜29を形成する。次に、（e）図に示すように前記 SiO_2 膜29上にLPCVD技術を用いてシリコン窒化膜30を200Å程度堆積形成し、

続いて前記シリコン窒化膜30表面に950℃程度の H_2O と O_2 雰囲気中で熱酸化により SiO_2 31を約40Å形成する。さらに、シリコン基板21全面に第3の多結晶シリコン膜を3500Å程度堆積形成し、不純物としてP（リン）をドーブする。そして、フォトリソグラフィにより所望のレジストパターンを形成し、異方性ドライエッチング技術により前記多結晶シリコン膜を選択的にエッチング除去して所望のコントロールゲート32を形成する。この後、図示しないが前記コントロールゲート32をマスクにして As^+ イオンを加速エネルギー50KeVで $3 \times 10^{13} \text{cm}^{-2}$ イオン注入し、後にアニールを行なうことによりメモリセルのソース、ドレイン領域を形成する。さらに、ビット線や V_{ss} 線用の拡散層も形成する。なお、消去ゲート28の下になる V_{ss} 線用の拡散層は、前記消去ゲート28を形成する前に As^+ イオンをあらかじめドーブして n^+ 拡散層としておく。また、メモリセル等の素子を保護するため、全体を950℃程度の O_2 雰囲気中で熱酸化し、 Si 表

面に SiO_2 被覆膜を約400Å堆積形成する。さらに、被覆用のリンをドーブしたガラス膜を全面に1μm堆積形成する。この後、所望の電極取り出し穴を拡散層上、消去ゲート28上、及びコントロールゲート32上に形成し、 Al 配線を施して E^2PROM セルを完成する。ところで、説明を省いたがメモリセルのチャネル部には、前記メモリセルのしきい値 V_{TH} コントロール用に不純物をイオン注入する工程が実施される。

すなわち、このように形成された E^2PROM は、フローティングゲート25a, 25bのエッジ部分26a, 26bにラウンドを付けているので、前記フローティングゲート25a, 25bと消去ゲート28間の SiO_2 膜27a, 27bに電界を均一に発生させることができる。そして、前記 SiO_2 膜27a, 27bにトンネル電流を均一に流すことが可能となる。このため、前記 SiO_2 膜27a, 27b中に局所的に電子がトラップされることが低減でき、書き込みと消去の繰返しによる消去速度の低下や前記 SiO_2 膜の破壊に対する寿

命を3～6倍高めることができる。また、消去ゲート28を前記フローティングゲート25a, 25bの上側に形成しているため、書き込み時にコントロールゲート32に高電位が印加され、ビット線には低電位が印加されている非選択セルの誤書き込みを低減することができる。これは、消去ゲート28からフローティングゲート25a, 25bに電子が流入しにくくなるためであり、フローティングゲート25a, 25b上の SiO_2 膜27a, 27bを、前記フローティングゲート25a, 25b中のリン濃度を $4 \times 10^{20} \text{cm}^{-3}$ 以下に設定した状態で、酸化温度を970℃以上（1000℃以上ならさらに好ましい）により形成すれば可能となる。この時、フローティングゲート25a, 25bから消去ゲート28へ流れるトンネル電流（電子は逆方向）はその逆方向と比べて3～6ケタも小さくできる。さらに、フローティングゲート25a, 25bのエッジ部分26a, 26bにラウンドを付けることにより、消去ゲート28を形成する際、前記フローティングゲート25a, 25bの段差部側壁において残留物を低減

し、メモリセルの加工特性を良好にすることができ
る。

第4図に示す実施例は、本発明の不揮発性半
導体記憶装置をE² P R O Mに適用したものであ
る。第4図において、41は単結晶シリコン基板、
42は第1の絶縁膜、43は第1のゲート電極、44は
第2の絶縁膜、45は第2のゲート電極、46は第3
の絶縁膜、47は第3のゲート電極、48、49は拡散
層領域をそれぞれ表わしている。

このようなE² P R O Mにおいても、情報の
書き込み時や消去時に第1のゲート電極43と第2
のゲート電極45の間の第2の絶縁膜44、及び第2
のゲート電極45と第3のゲート電極47の間の第3
の絶縁膜46において電界が均一に加わるように、
前記第1のゲート電極43上、及び第2のゲート電
極45上のエッジ部分にプラズマエッチング処理に
よるラウンドを付けている。よって、前述した実
施例と同様な効果を得ることができる。

第5図に示す実施例は、本発明の不揮発性半
導体記憶装置の製造方法をE P R O Mに適用した

ものである。

まず、(a)図に示すようにシリコン基板51
の所望の領域に素子分離用のS i O₂膜52を形
成し、前記S i O₂膜52により分離された素子
形成領域上にセルのしきい値電圧V_{TH}コントロ
ール用のB⁺(ボロン)イオンを80KeVで
2×10¹²cm⁻²イオン注入する。次に、前記素子
形成領域上に熱酸化法によりゲート酸化膜(第1
の絶縁膜)53a、53bを膜厚300Å程度形成し
た後、全面に第1の多結晶シリコン膜(第1の導
電体層)54を膜厚3000Å程度堆積形成する。
そして、前記多結晶シリコン膜54にP(リン)を
ドーブした後、前記多結晶シリコン膜54上にレジ
ストを形成する。さらに、前記レジストをスリッ
ト状のレジストパターン55に加工する。次に、
(b)図に示すように前記レジストパターン55を
マスクにして、異方性ドライエッチングにより前
記多結晶シリコン膜54をエッチング除去する。
(以下、除去された部分をスリット部56とする)
この後、前記レジストパターン55を除去し多結晶

シリコン膜(第1の導電体層パターン)54a、
54bを形成する。この多結晶シリコン膜54a、
54bはスリット部56において基板面に対して垂直
な断面形状に加工される。次に、(c)図に示す
ようにC F₄とO₂の混合ガス中でマイクロ波放
電を起こすことによりプラズマを発生させ、前記
多結晶シリコン膜54a、54b表面を300Å～
500Å等方性エッチングする。この時の条件は、
C F₄ガスの流量を100SCCM、O₂ガスの
流量を350SCCM、放電に使用する電力を
500Wとする。この結果、前記多結晶シリコン
膜54a、54bの表面は平坦化され、さらに、スリ
ット部56の多結晶シリコン膜54a、54bにはテー
パが形成される。この現象は、シリコンの鋭角部
分のエッチングレートが他にくらべ速いために起
こると一般的には考えられている。次に、(d)
図に示すように基板全面を洗浄してから前記多結
晶シリコン膜54a、54bの表面を約1000℃の
O₂雰囲気中で熱酸化し、S i O₂膜(第2の
絶縁膜)57を100Å程度形成する。その後、

L P C V D法によりシリコン窒化膜(第2の絶縁
膜)58を前記S i O₂膜57上に約200Å堆積形
成し、また、O₂雰囲気中で熱処理して前記シリ
コン窒化膜58表面にS i O₂膜(第2の絶縁膜)
59を約15Å形成する。このS i O₂膜59にはN
(チツソ)が含有されている。さらに、全面には
第2の多結晶シリコン膜(第2の導電体層)を堆
積形成し、その後、P(リン)をドーブする。そ
して、前記多結晶シリコン膜上にレジストパター
ン(図示せず)を形成し、その後、異方性ドライ
エッチング技術を用いて前記多結晶シリコン膜を
エッチングすることによりコントロールゲート
(第2の導電体層パターン)60を形成する。また、
前記S i O₂膜59、シリコン窒化膜58、S i O₂
膜57を同様に異方性ドライエッチング技術を用い
てエッチングし、さらに、前記第1の多結晶シリ
コン膜54a、54bもエッチングすることにより、
フローティングゲート54aa、54bbとする。この後、
図示しないが前記コントロールゲート60、及びフ
ローティングゲート54aa、54bbをマスクにしてメ

メモリセルのソース、ドレイン拡散層形成予定部分に As^+ をイオン注入し、アニールを行なって n^+ 型拡散層を形成する。続いて、シリコン基板51表面上の SiO_2 膜(200Å~300Å)を除去し、さらに、表面を洗浄する。そして、前記コントロールゲート80、及びフローティングゲート54aa, 54bb、及びシリコン基板51の露出部に熱酸化することにより SiO_2 膜を400Å程度形成する。そして、基板全面にP(リン)をドーピングしたガラス膜をCVD法等により堆積形成し、所望の領域にコンタクトホールを開孔してA₂配線を施しEPROMを完成する。

このように形成されたEPROMは、多結晶シリコン膜54a, 54bのスリット部56にテーパーを形成することにより、フローティングゲート(第1のゲート電極)上の第2の絶縁膜の膜質が良好になり、チャージの流出を低減できる。また、コントロールゲート(第2のゲート電極)に高電圧を印加した時に、前記第2の絶縁膜に均一に電界が加わるので電子のトラップを防ぐことができる。

4. 図面の簡単な説明

第1図乃至第3図はそれぞれ本発明の一実施例を示すものであって、第1図は本発明の不揮発性半導体記憶装置について説明するための断面図、第2図は本発明の不揮発性半導体記憶装置の製造方法について説明するための断面図、第3図は本発明の不揮発性半導体記憶装置の製造方法について説明するための平面図である。第4図は本発明の他の実施例に係わる不揮発性半導体記憶装置について説明するための断面図、第5図は本発明の他の実施例に係わる不揮発性半導体記憶装置の製造方法について説明するための断面図、第6図は従来の不揮発性半導体記憶装置について説明するための断面図である。

14a, 14b, 24a, 24b, 42, 53a, 53b … 第1の絶縁膜、15a, 15b, 43…第1のゲート電極、25a, 25b, 54a, 54b …第1の導電体層パターン、17a, 17b, 27a, 27b, 44, 57~59…第2の絶縁膜、18, 45…第2のゲート電極、28, 80…第2の導電体層パターン、46…第3の絶

【発明の効果】

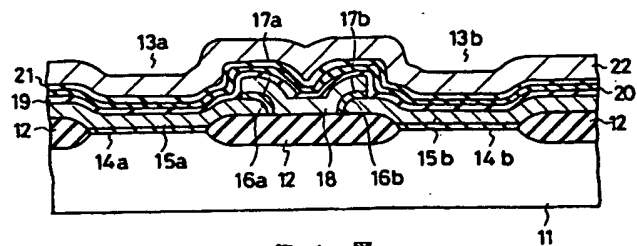
以上、説明したように本発明によれば次のような効果を奏する。

フローティングゲートのエッジ部分、さらに前記フローティングゲートの下層に絶縁膜を介して別のゲート電極がある場合には、前記ゲート電極のエッジ部分にもラウンドを付けることにより、前記フローティングゲート上、及びゲート電極上の絶縁膜に印加される電界を均一でき、それにともない前記絶縁膜中に均一にトンネル電流を流すことが可能となる。これにより、前記絶縁膜中における電子のトラップを低減することができる。さらに、前記フローティングゲート、及びゲート電極の段差部側壁における残留物を低減することができ、メモリセルの加工特性を良好にすることができる。

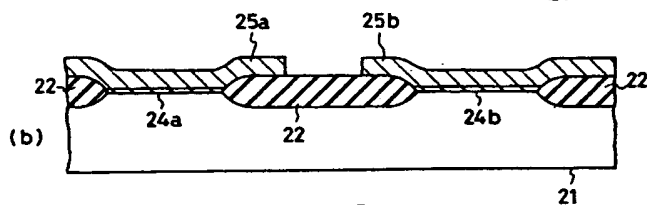
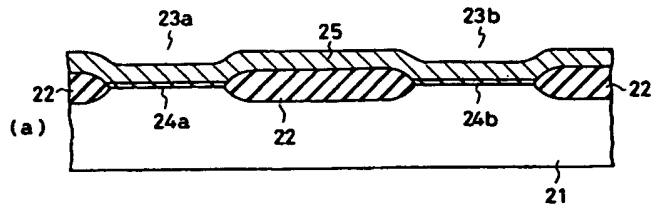
また、フローティングゲート上に消去ゲートを形成すれば、非選択セルでの情報の誤書き込みを低減することができる。

絶縁膜、47…第3のゲート電極。

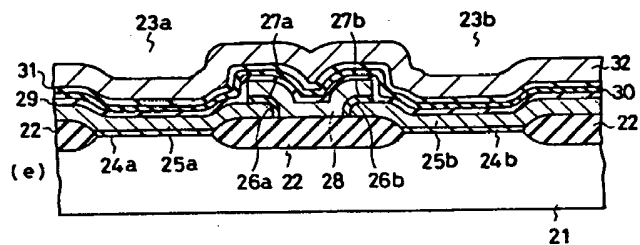
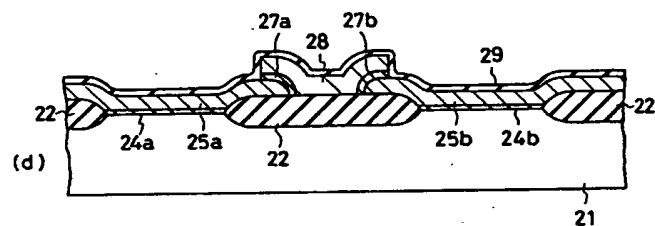
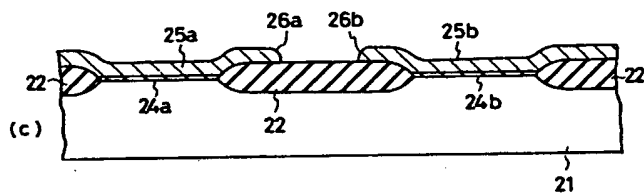
出願人代理人 弁理士 鈴江武彦



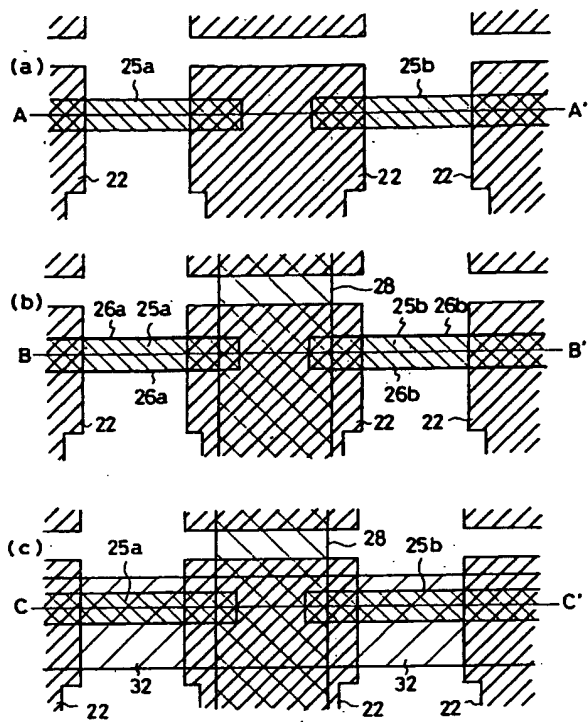
第 1 圖



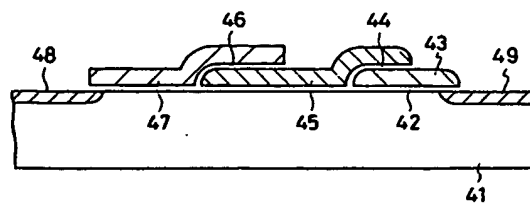
第 2 圖



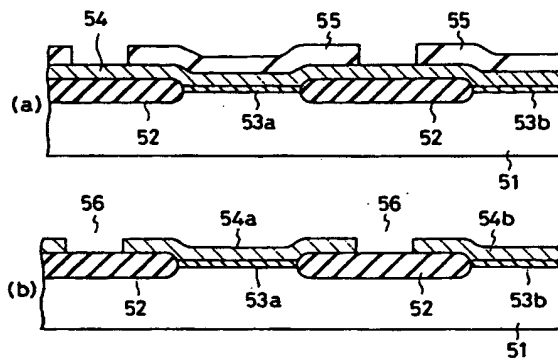
第 2 圖



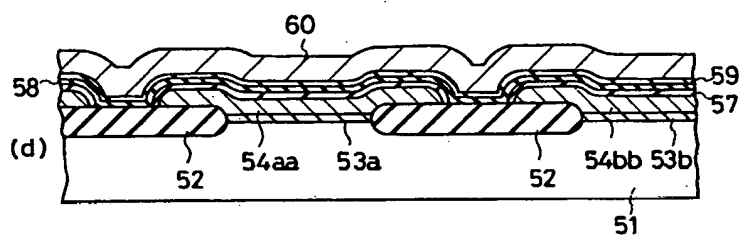
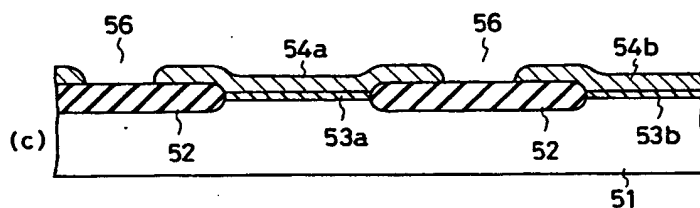
第 3 图



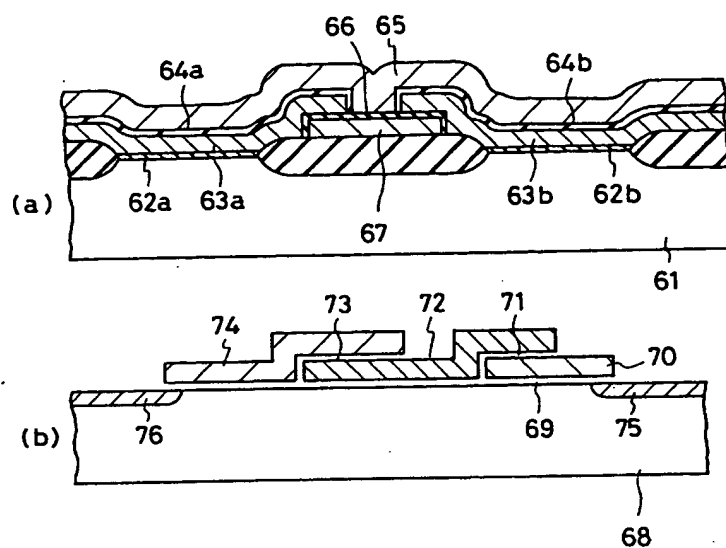
第 4 图



第 5 图



第 5 图



第 6 図